

Formulário de Resposta de Recurso

ANULAÇÃO DE QUESTÃO

RECURSOS QUANTO A GABARITOS PRELIMINARES DA PROVA OBJETIVA



Protocolo: 0000001668

IFSC – INSTITUTO FEDERAL DE SANTA CATARINA – EDITAL 01/2026 CARGO DE
PROFESSOR (DOCENTE EBTT) - GERAL

RECURSOS QUANTO A GABARITOS PRELIMINARES DA PROVA OBJETIVA

RESPOSTA A RECURSO

14 - ELETRÔNICA GERAL - TUBARÃO

Nº DA QUESTÃO: 49

A questão pede a análise de três assertivas sobre a estrutura sintática e o modelo de execução em VHDL (IEEE 1076). O gabarito preliminar indica a alternativa C (apenas I e III). Para que ela esteja correta, a assertiva I precisa ser integralmente verdadeira. Não é o caso.

Da assertiva I

A assertiva

afirma que "o mapeamento da interface do componente, compreendendo a definição de portas e modos de sinal, é restrito ao escopo da unidade de design entity" e que a descrição funcional ou estrutural "é delegada exclusivamente à architecture". Os termos "restrito" e "exclusivamente" contrariam a IEEE Std 1076-2008.

a) A definição de portas e modos de um componente ocorre fora da entity.

A seção 6.8

dispõe que a component declaration "declares an interface to a virtual design entity that may be used in a component instantiation statement". Sua sintaxe inclui [local_generic_clause] e [local_port_clause], e "each interface object in the local port clause declares a local port".

Cada

porta é um interface object, cujo modo é definido na seção 6.5.2 (mode ::= in | out | inout | buffer | linkage). A própria assertiva usa a expressão "interface do componente, compreendendo a definição de portas e modos de sinal", que descreve exatamente a construção da seção 6.8.

A component

declaration é distinta da entity e autônoma. A seção 7.3.2 mostra que uma binding indication associa instâncias do componente a uma entity por meio de port map próprio. O exemplo da norma declara AND_GATE e XOR_GATE como components dentro do package MY_GATES, portanto fora de qualquer entity, e liga port map (I1, open, O), ou seja, deixa uma porta formal da entity sem conexão. A seção 7.3.3 prevê que é erro se o formal correspondente não existir ou se "its mode and type are not appropriate for such an association". Esses mecanismos só têm sentido se portas e modos do componente forem

declarações próprias, verificadas contra as da entity.

Logo, a definição de portas e modos não é

"restrita ao escopo da entity".

b) A entity também veicula especificação funcional.

A seção 3.2.1 dispõe

que a entity declaration "may also specify declarations and statements that are part of the design entity".

Pela seção 3.2.3, a parte declarativa da entity admite subprogram_body, package_body, constant_declaration, signal_declaration e shared_variable_declaration. Corpos de funções e procedimentos são especificação funcional escrita fora da architecture.

Pela seção 3.2.4, a entity

pode conter ainda concurrent assertion statements, chamadas passivas de procedimento e passive processes.

Logo, a descrição funcional não é delegada "exclusivamente" à architecture.

Como a assertiva I

emprega dois termos absolutos contrariados pela norma, ela é falsa.

Da assertiva II

A assertiva II também é

falsa, e a banca a considerou falsa. A seção 11.1 estabelece que "the language does not define the order, if any, in which such statements will be executed" e que "a description that depends upon a particular order of execution of concurrent statements is erroneous". Segundo a seção 11.6, cada atribuição concorrente equivale a um process independente. Portanto, a ordem de escrita não determina a execução.

Da conclusão

Com I falsa e II falsa, apenas a III poderia ser considerada correta, e

nenhuma alternativa apresenta "apenas III". A questão fica sem resposta correta, o que configura vício insanável e impõe a anulação.

RESPOSTA DA BANCA: DEFERIDO

JUSTIFICATIVA: Parecer: Acolhe-se a fundamentação técnica recursal. Sob o ponto de vista da prática de projeto em hardware e da abordagem didática clássica de síntese RTL, a formulação da Assertiva I buscou retratar o paradigma fundamental de divisão de responsabilidades da linguagem VHDL — no qual a entity funciona convencionalmente como o contrato de interface externa do bloco e a architecture concentra a implementação lógica e comportamental sintetizável.

Entretanto, como o enunciado vinculou

expressamente a questão à conformidade formal com o padrão IEEE 1076, a análise deve submeter-se à estrita literalidade da norma de regência. Sob essa ótica normativa (IEEE Std 1076, Seções 3.2 e 6.8), a definição de interfaces locais, portas e modos de sinal também é formalmente realizada em declarações autônomas de componentes (component declaration), que podem residir em pacotes (packages) ou no corpo declarativo de arquiteturas, além de a própria declaração de entidade admitir

construções com verificação funcional/temporal (como asserções concorrentes e processos passivos).

Dessa

forma, conquanto o item represente a abstração usualmente adotada na literatura didática e no fluxo comercial de síntese, o emprego dos termos restritivos categóricos "restrito" e "exclusivamente" conflita com o rigor formal do padrão citado no comando. Dado que a descaracterização da Assertiva I deixa a questão sem alternativa correta correspondente, decide-se pela anulação da questão, atribuindo-se a respectiva pontuação a todos os candidatos.

Parecer por deferimento. DL - banca
examinadora